

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 2000-311061

(43)Date of publication of application: 07.11.2000

(51)Int.Cl.

G06F 3/06
G11B 19/02
G11B 20/10

(21)Application number: 11-122486

(71)Applicant: SONY CORP

(22)Date of filing: 28.04.1999

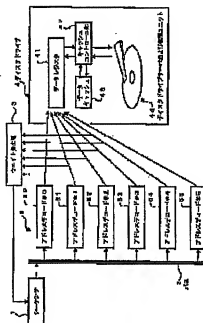
(72)Inventor: KANOTA KEIJI
OKADA SHUNJI
FUJII NOBUKO

(54) DISK DRIVE INTERFACE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a disk drive interface device which can execute a high speed processing.

SOLUTION: This disk drive interface device is provided with plural address decodes #0(50)-#5(55) connecting output signals to one data register 41 of the disk device, a weight generator 3 to which the respective output signals of the plural address decodes #0(50)-#5(55) are inputted and generate weight signals corresponding to them and a host sequencer 1 receiving the weight signal outputs of the weight generator 3 and generating an address signal. The plural address decodes access the register of the same function in the disk device from an address area. The number of processing weight signal generation clocks is made to correspond at every address decoding result signal and access is executed at different access speed.



LEGAL STATUS

[Date of request for examination]

15.03.2006

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

【特許請求の範囲】

【請求項1】 ディスクデバイスの1つのデータレジスタに各出力信号を接続する複数のアドレス信号選択手段と、

上記複数のアドレス信号選択手段の各出力信号が入力されてそれぞれに対応するウエイト信号を発生するウエイト信号発生手段と、

上記ウエイト信号発生手段の上記ウエイト信号出力を受けてアドレス信号を発生するホストシーケンス手段と、
を備え、上記アドレス信号選択手段によりアドレスエリアから複数のアドレスデコードが上記ディスクデバイス内の同一機能のレジスタへアクセスし、上記ホストシーケンス手段により各々のアドレスデコード結果信号毎に上記ウエイト信号発生手段による処理ウエイト信号発生クロック数を対応させて、別々のアクセス速度でアクセスさせるディスクドライブインターフェース装置。

【請求項2】 請求項1記載のディスクドライブインターフェース装置において、

上記ウエイト信号発生手段は、上記複数のアドレス信号選択手段の各入力に対応してそれぞれのウエイト信号を所定クロック数の期間発生する複数同期ウエイト信号発生手段であることを特徴とするディスクドライブインターフェース装置。

【請求項3】 請求項1記載のディスクドライブインターフェース装置において、

上記ホストシーケンス手段は、各ステップで複数命令コマンドを取り込み実行するパイプライン処理実行型シーケンス手段であって、

上記ディスクデバイスは、上記複数のアドレス信号選択手段の2以上を所定の組み合わせ順でアドレス指定してアクセスすることを特徴とするディスクドライブインターフェース装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ディスクデバイスのインターフェース装置に関し、特にランダムアクセスとシーケンシャルアクセスでアクセス速度を使い分けるインターフェース装置に適用されるものである。

【0002】

【従来の技術】 従来、CPUからレジスタを介してデータ転送デバイスにアクセスする際に、デバイスの製造会社、型式の性能によって応答速度が異なる。これに合わせて、インターフェースのアクセス速度をディスクデバイス内部コントローラに対してモード設定を切替えるハードウェアを使っていた。

【0003】 また、デバイスを内部制御するレジスタは応答速度が遅いので、データ転送用レジスタより数分の一の遅いアクセス速度にする必要があった。

【0004】 特に、複数コマンドをシーケンシャルに連続して発してシーケンシャルにデータ転送を行う、シー

ケンシャルアクセスの場合には、ランダムアクセスの場合と異なり、ディスク媒体メディアから内部キャッシュメモリへのデータ転送の電子回路による処理遅延があった。

【0005】

【発明が解決しようとする課題】 上述した従来のディスクデバイスのインターフェース装置では、シーケンシャルアクセスの場合にディスク媒体メディアから内部キャッシュメモリへのデータ転送の電子回路による処理遅延の存在のため、標準で定められているサイクル周期に対応するサイクルであっても、高レートでの連続アクセスではデータの内部キャッシュへの転送レートが間に合わず、ディスク内部コントローラの動作が停止するエラーが発生するという不都合があった。

【0006】 本発明は以上の点を考慮してなされたもので、高速処理を可能とするディスクデバイスのインターフェース装置を提案しようとするものである。

【0007】

【課題を解決するための手段】 かかる課題を解決するため本発明のディスクデバイスのインターフェース装置では、メモリマップドI/OでCPUに接続するデバイスインターフェースで、CPUがアクセスできるアドレスが多く空くのを活用し、いくつかのアドレスグループ毎に同一ディスクデバイスの同一機能レジスタへ別々のアクセス速度でアクセスさせる。

【0008】 具体的には、ホストCPUのアドレスエリアを複数のアドレスエリアに分けてメモリマップドI/Oで接続して、各々毎にホストのアドレス信号をアドレスデコードし、それぞれのアドレスデコード信号の論理和を同一デバイス内のコントロール/ステータス/データ機能の各レジスタへチップセレクト信号として接続し、その他の同一アドレス信号を接続してアクセスする。ここで、各々のアドレスデコード結果信号毎に、CPUに対するウエイト信号発生器のウエイトクロック数を別々に対応させる。

【0009】 本発明によれば、以下の作用をする。1つのデバイスに対して複数のアドレスの中からランダムアクセス、シーケンシャルアクセス、レジスタパラメータ設定アクセスのそれぞれに適する速度でアクセスするアドレスを選択することによって、ホストに対する処理待ちウエイト時間発生させ、これによってホストから発生されている各バス信号のウエイト信号に対応する継続時間幅の拡大が得られる。これは、ディスクデバイスをアクセスするホストインターフェースによって、特にシーケンシャルアクセスの場合に対応可能な速度に、アクセスに使用するアドレスを切り替えることによって、変更調節することができ。

【0010】 また、低速から高速までの各種リムーバブルストレージデバイスに対して適したレートでアクセスする。また、機能設定などのアクセスレート周期をディ

スクデバイス内部のインターフェースハードウェアに設定調節する処理作業を省略することになり、処理オーバーヘッドを減少させる。

【0011】また、制御ソフトウェアを使用するホストからのアドレス選択だけでアクセス速度を変更するので、ディスクデバイスにデータ転送途中にコマンド発行を改めて行うことなく、ホストのアドレス選択の切換により、最高速度から最低速度までソフトウェアプログラムにより転送サイクルレートで自在に切り替える。さらに、インターフェース内部にデバイスへのアクセス速度周回の切換調整値を設定保持する設定回路が必要になる。

【0012】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態を詳述する。図1は、本発明の実施の形態のディスクドライブインターフェース装置の構成を示すブロック図である。図1において、シーケンサは1であり、プロセッサユニット内蔵のシーケンサやプログラムメモリに基づくCPU、特にパイプライン処理により高速処理作業を行うRISC (Reduced Instruction Set Computer) - CPUを使用する。プログラムは図示しないメモリ上に存在してそれに基づいてシーケンサ処理動作を行う。バスは2であり、ホストシーケンサ1のアドレスバス、データバス、コントロールバスを含む。

【0013】3はウエイト発生器であり、後述するアドレスデコード#0~#n (なお、図1では#5までを示している。)までのアドレスデコード結果信号のそれぞれに対応してシーケンサ1に処理ステップ動作の処理待ちウエイト信号を入力する。その内部では、後述するアドレスデコード#0~#nまでのアドレスデコード結果信号出力を受けて入力され、ハードウェアで割り当てられているクロック数分の時間期間をウエイト信号として合成し、シーケンサ1に出力する。

【0014】ディスクドライブは4であり、本実施の形態では、ATA/ATAPI-4標準に準拠するインターフェースをもつディスクデバイスを使用している。固定アドレスのデータレジスタ41を持っていて、データレジスタ41に繰り返し読み出し、または書き込みを行うことによって、データ転送を行う。さらにコントロール部42、データをドライブ内部でキャッシュするデータキャッシュ43、そしてディスクドライブのサーボおよび機構ユニット44が含まれている。

【0015】アドレスデコード#0~#nは、それぞれ50~5nであり、これはシーケンサホストの1が持つアドレス信号から複数の選択されたアドレス信号が各々に入力された場合にそれを変換してディスクデバイス内部のデータレジスタのアドレスを選択するアドレスデコード信号を出力する。このアドレスデコード信号はどれか1つが発生した場合と同じデータレジスタを選択指定

するために、論理回路を通してディスクデバイス4内部のデータレジスタ41の選択信号として入力している。

【0016】また、これと同時に、先に説明したウエイト発生器3もこれらのアドレスデコード50~5nのデコード結果出力信号が入力されている。ウエイト発生器3は、それぞれのアドレスデコード結果信号の入力に対応するクロック数のウエイト信号を、ホストシーケンサ1にウエイト信号出力する。

【0017】図2は、本実施の形態のアドレスマップを示す図である。図2のアドレスマップのシーケンサもつアドレス領域範囲M-00で見ると、アドレス領域内部のディスクデバイス4内部の同一のデータレジスタ41に対して、それぞれ複数のアドレスM-00からM-0n (なお、図2ではM-05までを示している。)を対応させて、各々のアドレス信号のデコード結果信号でアドレス指定している。

【0018】そして、アドレス指定のために論理回路処理回路を介している。これはホストシーケンサがバス2上ではアドレスを同時には1つしか発生しないために、そのアドレスデコード結果信号の複数の論理和入力であっても、実際には、同時には1つしか入力されないために、アドレスデコード50~5nからの信号出力のうちどれか1つを選択する動作を行っている。

【0019】例えば、RISC-CPUコントローラであるCPUの場合には、アドレス範囲は物理デバイスに対応する物理アドレスとして00000000hから1FFFFFFFhを持っている。このうちのエリアAのアドレス範囲14000000h~17FFFFFFFhの中から複数のアドレスを選択使用して、ディスクデバイス4を接続する。

【0020】ここで、アドレスデコード対象となる複数アドレスを、アドレスデコード#0 (50) に対応するものはM-00であって、具体的には14000000h、アドレスデコード#1 (51) に対応するものはM-01であって、具体的には14000100h、アドレスデコード#2 (52) に対応するものはM-02であって、具体的には14000200h、アドレスデコード#3 (53) に対応するものはM-03であって、具体的には14000300h、アドレスデコード#4 (54) に対応するものはM-04であって、具体的には14000400h、アドレスデコード#5 (55) に対応するものはM-05であって、具体的には14000500h、アドレスデコード#n (5n) に対応するM-0nまで、順次アドレスを割り当て配置していく。

【0021】図3は、本実施の形態のウエイト信号発生器の信号論理回路の構成を示すブロック図である。図3において、シーケンサ1内部には、CPU10がある。これは本実施の形態では並列パイプライン処理

を利用することで高速処理を実現している。RISC-CPUである。そのCPUは、アドレス、データ、コントロールの各バスの各信号を出力しているものである。

【0022】そして、このCPU10は図示しないシステムクロック同期で動作しており、その制御回路がシステムクロック制御回路11である。そしてこのシステムクロック制御回路11は、ウェイト発生器3の出力であるウェイト信号を受けて入力している期間中は、クロック供給をホールドする。この結果、CPU10の処理ステップを一時停止させることになり、これでCPU10での処理動作の同期ウェイト動作が実現される。

【0023】バス2、各アドレスデコード#0～#k(50～5k)は上述したとおりである。そして各アドレスデコード#0～#k(50～5k)の出力である選択信号CS#0～CS#kは、図1で説明したように一方でディスクデバイス4に出力されるとともに、ウェイト発生器3に出力される。これらのシーケンサ1の処理ステップ動作をクロック同期でウェイト待ちさせている。

【0024】シーケンサの出力バス信号をウェイト動作させて、各バス制御信号の現在状態をホールドすることによって、結果的にデバイスへのアクセス制御信号、アドレスデータ信号の発生時間幅を拡張している。この結果、高速なシステムクロックサイクル周期では応答できないより低速なクロックサイクルレートにアクセスに必要としているディスクデバイス4を、高速動作のシステムクロックのバス2に接続して、応答確実なアクセスを実現する。

【0025】次に、ウェイト発生器3の内部構成を説明する。図3において、30はウェイト数セレクト#0、31はウェイト数セレクト#1、32はウェイト数セレクト#2、そして3kはウェイト数セレクト#kとしての各論理回路である。各々が、図示されるように各対応するアドレスデコード#0～#kからの選択信号CS#0～CS#kのうちの1つを入力され、それぞれウェイト信号#0～ウェイト信号#kをウェイト信号合成回路133に出力する。

【0026】このとき、シーケンサのアドレスバス信号は同時に1アドレスしかバス2上には存在しないので、選択信号CS#0～CS#kは、信号発生している場合でも、あるタイミングではどれかひとつだけが発生している。また、内部は通過時間を高速化するために、半クロックサイクル以内とするスイッチ選択回路構成にしている。

【0027】また、ウェイト数セレクト#0～#kまでの各ウェイト数セレクト回路は、それぞれ所定のウェイト数を発生する論理回路を内蔵している、その構成は後述する図4において説明する。そして、各ウェイト数セレクト回路出力のウェイト信号#0～#kを出力する。また、他方、CS#0からCS#kの入力信号は、CS

信号合成回路131でどれかの信号があったときに出力するために論理和をとって、グレイコードステートマシン132に出力する。

【0028】グレイコードステートマシン132は、CS信号合成回路131の出力論理和信号を入力されていて、通常CS#0～CS#kの入力がないときには出力信号が偽なので、リセットが横行されたままである。そしてCS#0～CS#kの入力があるときには出力信号が真となり、リセットが解除されてステートが0からスタートしてnまで、カウント進行される。そして各ステート信号#0～#nは、上述の各ウェイト数セレクト#0～#kのそれぞれに出力される。そして、各ステート信号#0～#kは各ステート進行をグレイコード値に割り当ててあり、各ステート周での遷移時にハザードの発生による誤動作を防止している。

【0029】各ウェイト数セレクト#0～#kはこの各ステート信号#0～#nから必要なウェイト数をクロック同期で#0から開始して所定のステート信号番号出力までを選ぶことによってウェイト数の時間期間を設定する。

【0030】ウェイト信号合成部133は、出力されてくるウェイト信号#0～#kを論理和をとることにより、いずれかのウェイト信号#0～#kが入力されたらウェイト信号として出力する合成回路である。134は同期出力遅延素子、いわゆるラッチである。これは出力信号が配線バタリーを経由してシーケンサ1に出力されるために、一旦同期化して出力し、ノイズ誤動作を防止している。以上がウェイト発生器3の動作である。

【0031】次に図3における第#k番目のウェイト数セレクト回路を説明する。図4は、本実施の形態の第#k番目のウェイト数セレクト回路の構成を示すブロック図である。この実施の形態では、ウェイト数セレクト回路#k(3k)における#k番目のウェイト数はグレイコードステートマシン132からのグレイコードの各ステート信号入力#0～#nまでのうち、開始ステートのステート#0から数えてJ個、つまりステート信号#0～#(J-1)は、対応する番号のステート信号#0～#(J-1)の入力が順次切り替わって入ってくるのに対応して、入力あるとき1つつ順次オンとされる。これでウェイト同期クロック数J個の時間期間の、ウェイト信号#kを合成している。

【0032】なお、図4に示した第#k番目のウェイト数セレクト回路は、ウェイト数セレクト回路#Kのウェイト数はグレイコードステップカウントのクロック数をJと設定するときの回路例である。また、グレイコードステートマシン132は、通常はリセット状態で、デコード入力でステートカウントを開始する。また、ウェイト数セレクト回路#k(3k)の各SW#0～#(J-1)は、各ステート信号の入力でオン、入力なしでオフとなる。

【0033】図5は、本実施の形態のディスクドライブ内部の各ブロック構成図である。図5は、通常のデータキャッシュ付きディスクデバイスであって、その内部にはデータレジスタ41を含むホストインターフェース部411、キャッシュコントロール部42、データキャッシュのバッファメモリ43、そしてディスク記録再生信号処理回路45、ディスクドライブサーボおよび機構ユニット44、そしてそれらをドライブ内部で制御コントロールするドライブ内蔵CPU46、そのCPU46のドライブ内蔵バス47をもつ。

【0034】ホストインターフェース部411は、ATA/ATAPI-4インターフェース標準に準拠するインターフェース機能を提供する論理回路であって、その内部にはデータレジスタ41があってこれを選択指定して読み出し、書き込みを繰り返すことによって、ディスクドライブ4に内在するディスクメディアを読み出し書き込み動作する。

【0035】ディスクのコントロールステータスレジスタ群412は、ディスクドライブの各制御機能書き込み設定に使用する、フィードバックコード設定レジスタ、転送するデータ量をセクタ個数で設定するセクタカウントレジスタ、そしてデータ転送するディスクデバイス選択および転送開始するセクタの論理ブロックアドレスを指定するレジスタ、実行コマンドコードを設定するコマンドレジスタがあり、割り込み指示やソフトリセット書き込み使用するデバイスコントロールレジスタがある。

【0036】そしてディスクドライブの各状態機能読み出しモニタに使用する、エラーレジスタ、各状態コード読み出しに使用するセクタカウントレジスタ、各サブコード読み出しに使用する論理ブロック指定アドレスレジスタ、ディスクデバイスの内部動作状態を読み出ししてディスクドライブの内部処理ステップを次のステップに進行させる機能を持つステータスレジスタ、そしてディスクデバイスの内部動作状態を読み出すがディスクドライブの内部処理ステップを次の処理ステップに進行させる機能をもたないアルタネートステータスレジスタが含まれる。

【0037】なお、ATAPI-4標準に準拠するパケットインターフェースを使用するディスクデバイスでは、データ転送するディスクデバイス選択および転送開始するセクタの論理ブロックアドレスを指定するレジスタはバイトカウンタハイおよびバイトカウンタローの各レジスタと呼ばれる。そして実行コマンドコードを設定するコマンドレジスタにはパケットインターフェース動作を指定する特定コードのAOHが書き込まれ、実際のコマンドコード値はデータ転送開始の一番最初の6ワードに12バイトパケットコマンドデータ値としてワードデータ値で書き込まれる。

【0038】インターフェース制御論理回路413は、

これらのディスクコントロールステータスレジスタ群412を参照して、それに基づいて動作制御をドライブ内蔵CPU46、キャッシュコントロール部42、ディスク記録再生信号処理回路45、ディスクドライブサーボおよび機構ユニット44の処理動作制御信号を供給する機能を持つ。

【0039】さらにここでは、パケットインターフェースを使用するディスクドライブの場合には、データレジスタへ繰り返し書き込み設定された最初の6ワードデータのバケットコマンドデータを順次制御論理回路内部に取り込んでコマンドコード、転送長さを解釈し、ディスク転送動作を制御する制御情報信号を提供する処理機能を持つ。

【0040】ディスクドライブサーボおよび機構ユニット44は、内部に記録再生アンプ(REC/PBAmp)回路440があって、ディスク媒体メディア上のトラックに配置されている各セクタに対して書き込み信号を供給し、読み出し信号を読み出し増幅する機能を有する。そして、即座ディスクメディア上のトラックングサーボ情報を読み出してトラックング制御およびディスクスピンドルサーボ制御を行う。また、メディア上のシーク動作およびトラックジャンプアクセス動作を行う。また各パワーサイクル制御と動作のタイマ制御を行う機能を有する。

【0041】なお、ディスク記録再生信号処理回路45は、記録チャンネル(ch)コーディング回路452および再生エラー訂正回路451を持つ。記録チャンネル(ch)コーディング回路452は、メディアの記録トラックに書き込みを行うチャンネルコーディング符号化処理を施して記録データ信号をディスクドライブサーボおよび機構ユニット44の記録再生アンプ回路440に供給する機能を持つ。再生エラー訂正回路451は、メディアからの再生データ信号を読み出して、ECCエラー訂正処理する機能を持っている。

【0042】キャッシュコントロール部42は、コントローラ420、キャッシュコントロール部内部バス421があり、メモリからのデータ読みだし機能を提供するブロックとしては、読み出しメモリブロック選択回路423、メモリ読み出し回路424、読み出し切り換えスイッチSW1(425)がある。そしてメモリへのデータ書き込み機能を提供するブロックとしては、書き込み切り換えスイッチSW2(428)、メモリ書き込み回路427、書き込みメモリブロック選択回路426がある。

【0043】そして、キャッシュコントロール部42は、メモリステータメンメント回路429があり、メモリのリセットやリフレッシュ、あるいはアドレスデータのアクセス変換の各機能コントロールを制御する機能を提供する。そしてなおかつこれらの制御機能と読み出しメモリブロック選択回路423および書き込みメモリ

ブロック選択回路426が共に並列FIFO処理によってメモリにデータの書き込み読み出し動作する際には、アクセス制御の制御機能を提供する。

【0044】また、データキャッシュバッファメモリ43は、D-RAM(Dynamic-Random Access Memory)あるいはSD-RAM(Synchronous D-RAM)、RDRAM、マルチバンクDRAMなどのメモリ回路であって、その全メモリ容量はディスクセクタの複数集合を1ブロックとする数個のメモリブロック#0～#mとしてキャッシュコントロール部42内部の読み出しメモリブロック選択回路423、書き込みメモリブロック選択回路426からそれぞれアドレス選択されてアクセス取り扱われる。

【0045】読み出し切替スイッチSW1(425)は、メモリからの読み出しデータ信号をホストインターフェース部411のデータレジスタ41に読み出しデータとして供給する経路、あるいはディスク記録再生信号処理回路45内部のクロックデコード回路452に書き込みデータ信号として供給する経路を選択切替える機能を持つ。

【0046】書き込み切替スイッチSW2(428)は、メモリへの書き込みデータ信号として、ホストインターフェース部411のデータレジスタ41からの書き込みデータ信号の供給を受ける経路、あるいはディスク記録再生信号処理回路45内部のクロックデコード回路451からディスクのデータ読み出し信号の供給を受ける経路を選択切替える機能を持つ。

【0047】書き込みメモリブロック選択回路426は、コントロール420の制御信号の指示により、書き込みメモリブロック選択回路426の発生するアクセス信号により、データキャッシュバッファメモリ43のメモリブロック#0からディスクの複数セクタ単位分のデータを1ブロック単位として、順次書き込んでいく。そして、各メモリブロックがフル状態になると、次のメモリブロックに切り替えて次のデータを順次書き込んでいく。

【0048】読み出しメモリブロック選択回路423は、コントロール420の制御信号の指示により、読み出しメモリブロック選択回路423の発生するアクセス信号により、データキャッシュバッファメモリ43のメモリブロック#0からディスクの複数セクタ単位分のデータを1ブロック単位として、順次書き込んでいく。そして、各メモリブロックがフル状態になると、次のメモリブロックに切り替えて次のデータを順次読み出していく。

【0049】ここで、バッファ内のデータ超過のオーバーフロー、データ枯渇のアンダーフローを防止するための制御手順をキャッシュコントロール部42で実施する。ディスクデバイス4全体としての読み出し動作の制

御の際は、まずディスクドライブサーボおよび機構ユニット44内の媒体メディアからの読み出しデータを、キャッシュコントロール部42を経由してメモリブロック#0から書き込んで、所定のデータがいくつかのメモリブロックに蓄えられたら、ホストインターフェース部411への読み出しデータ送り出しのために、読み出し動作を行う制御手順をキャッシュコントロール部42で実施する。

【0050】ディスクデバイス4全体としての書き込み動作の制御の際は、まず、ホストインターフェース部411からの書き込みデータをキャッシュコントロール部42を経由してメモリブロック#0から書き込んで、所定のデータがいくつかのメモリブロックに蓄えられたら、送り出しのために、ディスクドライブサーボおよび機構ユニット44内の媒体メディアへの書き込みデータを読み出し動作を行う制御手順をキャッシュコントロール部42で実施する。以上がディスクデバイス4内部の構成、動作機能の説明である。

【0051】次に、図6～図12を用いて、同一のデータレジスタへのアクセスであっても異なるアクセスサイクル動作を必要とすることをディスクドライブ内部動作の各アクセス種類のクラス分けによって説明する。図6は、本実施の形態のランダムアクセスクラスを示す図である。図6でランダムアクセスでのドライブ内部動作の概略を説明する。図6において、ランダムアクセスクラスにおいては、媒体メディア上の各セクタデータは、セクタ指定によるセクタの読み出し書き込み60、あるいはセクタのマルチプル指定によるセクタのマルチプル読み出し書き込み61、あるいはキュー付きコマンドの集合を一括処理してキュー付き読み出し書き込み62することによって、セクタ集合単位でのデータを読み出し書き込みの処理を行う。

【0052】具体的には、図6において、ホストシーケンサ1からのコマンド発行処理S1を受けて、ディスクから1セクタデータを読み出してディスクキャッシュに転送する処理S2を実行する。次いで、キャッシュからデータを読み出しホストに転送する処理S3を行い、一連のデータ転送処理の実行を終了処理S4する。

【0053】図7は、本実施の形態のコマンド発行ステップを示す図である。図7でディスクデバイス4へのコマンド発行動作を説明する。ホストインターフェース部411は、そのディスクコントロールステータスレジスタ群412に転送セクタ数、転送開始論理ブロックアドレス位置を指定するコマンドパラメタおよびコマンドを書き込み設定する。これは論理回路/ハードウェアによって、ATA/ATAPI-4標準で明記されているように、一番低速なアクセスサイクルの、この場合約300nsより遅いレートで書き込みする必要がある。

【0054】これは、データ転送に占める占有時間が転送開始の一瞬だけであって速度の違いは比較的問題

にならないためと、ATA/ATAPI-4標準の転送プロトコルが、改訂を重ねる毎に一層高度複雑となった標準の各ステータスの場合分けを、内部ハードウェアのステートマシン論理回路動作で実現するため、ハードウェア応答速度が遅くても実現容易としているためである。このレジスタ設定値はインターフェース制御シーケンス回路413でコード変換解釈されて、ドライブ内蔵CPU46が制御コマンド情報を読み出し参照してディスクドライブ全体をコマンドの指示に従って処理動作させる。

【0055】図8は、本実施の形態のディスクからキャッシュへのデータ転送ステップを示す図である。図8に示すように、ディスクドライブサーボおよび機構ユニット44において、発行されたコマンドの指示制御に従って、読み書きヘッド、または読み書き光ピックアップは、媒体メディア上の指定されたトラックの読み出し開始セクタ上にシークアクセスされて配置されトラックキングがかけられる。キャッシュコントロール部42ではSW2(428)はディスクからの読み出しデータをデータキャッシュバッファメモリ43に書き込む経路に選択制御し、SW1(425)はデータキャッシュバッファメモリ43からの読み出しデータをホストインターフェース部411のデータレジスタ41に書き込む経路に選択制御する。

【0056】そしてまずディスクドライブサーボおよび機構ユニット444内部のディスクメディアから1セクタ、あるいは複数セクタ1集合分のデータを媒体メディアから読み出す。そしてメモリ書き込み回路427および書き込みメモリブロック選択回路426を介して、データキャッシュバッファメモリ43に転送してディスクキャッシュバッファメモリ43への書き込みを実行する。

【0057】その準備レディ状態をキャッシュコントロール部42で検出してドライブ内部のホストインターフェース部411のディスクコントロールステータスレジスタ群411のステータスレジスタにコード情報信号を供給する。

【0058】ここで、ホストシーケンサ1はこのステータスレジスタのコード情報を見て、ディスクドライブ4がデータ読み出し完了したことを確認して、ディスクドライブ4内部のホストインターフェース部411のデータレジスタ41からの繰り返しデータ読み出しを開始する。この動作を受けたホストインターフェース部411は、キャッシュコントロール部42と連携して機能動作して、データキャッシュバッファメモリ43から蓄えられたデータを読み出して、ホストインターフェース部411へと順次データを供給する図6の処理S3を実行する。

【0059】図9は、本実施の形態のキャッシュからホストへのデータ転送ステップを示す図である。この一連の動作において、キャッシュコントロール部42は、1

コマンドで指定されたセクタデータ量分をデータキャッシュバッファメモリ43に読み込んでから、データキャッシュバッファメモリ43から読み出しメモリブロック選択回路423およびメモリ読み出し回路424を介して、データをホストインターフェース部411内のデータレジスタ41に転送する。これは、後半のデータ転送動作はメモリと論理回路の間のデータ転送動作のみになる。つまり電子回路ブロック間のデータ転送なので非常に高速なアクセスに対応することが可能になる。インターフェース標準に採用されているATA/ATAPI-4標準における、最も高速な転送レートでのデータ転送が実行される。

【0060】ここではディスク媒体メディアの読み出しエラー発生の際の訂正処理動作による時間遅れもなく、トラック内セクタ読み出しエラー発生の際に複数回の繰り返し読み出しを試みてデータ回復を試みる動作も発生しないのでそれによる実行処理時間遅れもない。さらにメモリに使用しているDRAMセルのデータ保持のためのリフレッシュ動作や、データキャッシュバッファメモリ43内の各メモリブロック単位の複数メモリブロック間での書き込みメモリブロック選択先や読み出しメモリブロック選択先の切替処理動作とデータアクセス動作との調停動作による時間遅れも発生しない。

【0061】図10は、本実施の形態のシーケンシャルアクセスクラスを示す図である。図10によってシーケンシャルアクセスでのドライブ内部動作の概略を説明する。図10に示すように、シーケンシャルアクセスにおいては、媒体メディア上の各セクタデータは、セクタ指定による開始セクタでのシーケンシャル読み出し書き込み100、あるいはセクタのマルチプル指定によるセクタのシーケンシャル読み出し書き込み継続101、あるいはキュー付きコマンドの集合を順次コマンド発行を受け付け処理してエンド終了端セクタでのシーケンシャル読み出し書き込み102を行って、データ転送を行うことを繰り返し処理することによって、セクタ集合単位でのデータを読み出し書き込みの連続転送処理を行う。

【0062】具体的には、図10において、ホストシーケンサ1からのコマンド発行処理S1を受けて、ディスクから1セクタデータを読み出してディスクキャッシュに転送する処理S20を実行する。次いで、キャッシュからデータを読み出しホストに転送する処理S30を行う。ここで、コマンドコードでディスクドライブ内部のデータキャッシュバッファメモリ43内部の所定の複数メモリブロック以上にわたる一連のデータ転送処理の実行を要求するコマンドの場合においては、S2nからS3nのように、キャッシュコントロール部42は各メモリブロック毎に一方で書き込みかつ他方で読み出しを行う、FIFO(First In First Out)動作でデータ転送を行う。そしてS4で終了処理S

4する。

【0063】図11は、本実施の形態のコマンド発行ステップを示す図である。図11のコマンド発行ステップは図7と同様であり、最も遅い転送レートである。図12は、本実施の形態のディスクからキャッシュへおよびキャッシュからホストへの並列データ転送ステップを示す図である。図12にディスクからキャッシュへ、キャッシュからホストへのFIFOデータ転送ステップを示す。

【0064】ディスクドライブサーバおよび機構ユニット44内のディスクメディアからデータを読み出す。そしてメモリ書き込み回路427および書き込みメモリブロック選択回路426を介して、データキャッシュバッファメモリ43にデータを転送してディスクキャッシュバッファメモリ43へ順次データの書き込みを実行する。

【0065】そして、データキャッシュバッファメモリ43からデータを読み出しメモリブロック選択回路423およびメモリ読み出し回路424を介して、データをホストインターフェース部411内のデータレジスタ41に転送する。

【0066】ここでデータキャッシュバッファメモリ43からデータレジスタ41へデータ読み出し転送しているときに、並行して、ディスク媒体メディアからデータを読み出してデータキャッシュバッファメモリ43の各メモリブロックに順次データを書き込み、次のシーケンシャルアクセスでのデータ転送に備える。

【0067】特に、ここで、この所定の複数メモリブロック以上わたる一連のデータ量は、現在最も普及しているATA/ATAPI-4インターフェースのもつ1コマンドでの所定サイズ以上の転送データ量、この場合データキャッシュバッファメモリ43内の複数メモリブロック単位データを超えるとき、4kバイトないし最大転送指定量の128kバイトの転送指定で複数回以上のデータアクセスを受けたときをシーケンシャルアクセスと判断して、データキャッシュバッファメモリ43からデータを読み出すのと一緒に、ディスク媒体メディアの各セクタからデータを読み出してデータキャッシュバッファメモリ43に書き込み処理して、次のシーケンシャルなデータ転送に予め備えて良い。つまり、コマンド発行をシーケンシャルアクセスと判断してFIFO動作に入っている。

【0068】これによって、データキャッシュバッファメモリ43からデータレジスタ41へデータ転送している最中に、次のコマンドの発行によるデータ転送を予想してディスク媒体メディアからデータキャッシュバッファメモリ43にデータ転送して備える。

【0069】これは今の読み出ししたデータセクタの最終セクタの次の論理ブロックアドレス位置のセクタに次のコマンドの読み出し開始セクタが配置されていると想

定して、データセクタ連続性を利用してデータセクタを順次連続して読み出していくことにより、読み出しを途切れさせて1回転以上、通常5400回転/秒のディスクでは1回転は11ミリ秒かかる。ディスク回転待ちするデータ転送に無効な不連続時間発生を、短縮するためである。

【0070】次のコマンド発行からデータをデータキャッシュバッファメモリ43に転送する処理時間が短縮され、コマンド発行からデータ転送レディになるまでの時間、コマンドオーバーヘッド時間の大きな部分が短縮され、結果的により高速なディスクドライブとのシーケンシャルなアクセスが達成される。

【0071】ディスク媒体メディアからデータキャッシュバッファメモリ43への転送は、データキャッシュバッファメモリ43からデータレジスタ41へのデータ転送よりも転送レートが高いので先読みしてホストインターフェース部411での読み出しを得ることができる。データキャッシュバッファメモリ43のサイズはシーケンシャルアクセスに適したディスクドライブでは回転ディスクトラックの数周回分のセクタデータをキャッシュすることができている。

【0072】しかしここで通常は、ディスクメディアからの読み出しにはエラー訂正、トラックジャンプ、ヘッド切換などの動作によりデータ転送時間遅延、不連続の発生する要因が存在し、さらにはメモリ自体のDRAMとしての各種リフレッシュ動作、FIFO動作のためにメモリブロック切換動作が存在していることによるデータ転送時間不連続の発生する要因が存在する。メモリ自身の持つ周期的なリフレッシュマネジメント動作とデータアクセス動作との同期動作による処理時間遅れも存在する。

【0073】シーケンシャルデータアクセスを継続していくとこれらの時間不連続要因が発生し、このために予め先読みしていたバッファデータを読み尽くしてしまうことが発生する。特にこれはディスクドライブに高速にデータを入出力する際に発生する。これは各セクタ単位毎にデータ転送をしているときに、次のセクタデータ転送に準備レディができなくて、次のデータ転送が始まらないことで転送がストップする。再びFIFO動作を開始してシーケンシャルアクセスを継続するためには、キャッシュコントローラ420のソフトウェア制御に入って回復動作をし、その後キャッシュコントローラ部42のハードウェアで転送を再開する処理動作を行ったあとでディスクの次の読み出し開始セクタを読み出す位置に到達するまでヘッドが回転待ちを行うことになってしまい、時間遅延損失が著しく大きいので、むしろシーケンシャルアクセスの場合には、転送レートを高く維持するためには、ランダムアクセスで使用するアクセスサイクルより遅いサイクルレートでアクセスしてバッファ内部のデータが常に枯渇しないようにする必要がある。

【0074】この境界には、ATA/ATAPI-4標準で規定された最高レートサイクルよりも数倍速く、例えば30MHzサイクル動作のシーケンサでランダムアクセスでは16Mバイト/秒（つまり8Mワード/秒）転送可能なディスクデバイスが、シーケンシャルなアクセスでは7Mバイト/秒（つまり3.5Mワード/秒）を平均転送レートとして転送する性能保証するのが限界となる場合がある。

【0075】以上のことから、シーケンシャルアクセスでのデータ読み出しあるいは書き込みを継続していくときは、ランダムアクセスの場合よりも比較的低速にアクセスする必要がある。

【0076】ここで、最も高レートサイクルなランダムアクセス読み出し動作の場合は、アドレスデコード#0と#1をアドレス領域M-00にアドレス指定してデータレジスタ41にアクセスを行う。

【0077】中程度の速度サイクルのデータ転送レートであるシーケンシャルアクセスの場合には、アドレスデコード#3と#4をアドレス領域M-00にアドレス指定してデータレジスタ41にアクセスを行う。

【0078】最も遅い必要のあるレジスタ設定アクセスでは、アドレスデコード#5を指定してアクセスする。ここでレジスタ設定のアクセスでデータレジスタ41にアクセスする場合としては、ATA/ATAPI-4標準のうち、バケットインターフェースを採用している最初のパイスの場合であり、バケットコマンド発行のち最初の6ワード、つまり12バイトのバケットコマンドデータをデータレジスタ41に書き込む場合である。これはディスクドライブ4に書き込んでいるのではなく、ホストインターフェース部41内部のインターフェース制御論理回路413で書き込まれたバケットコマンドデータをコード変換解釈しているで、レジスタ設定と同様の最も低速なアクセス動作とされる。

【0079】図13は、本実施の形態のタイミングチャートである。以上の動作を図13のタイミングチャートで見ると、図13Bおよび図13Cに示すランダムアクセス読み出し書き込みタイミングとしては、バスサイクルが30ns、33MHzの場合には、2ウエイトをシーケンサにもたらし、その結果、ホストシーケンサ1は、図13Aに示すクロックに対して読み出しバス信号の3クロック後でデータを読み出す処理動作を実行する。この2ウエイトはランダムアクセスレートであり、ATA/ATAPI-4での最も高いサイクルレートとなる。実行サイクルレートは、読み出し信号アサート（ローアクティブ）期間は90nsであり、ネゲートを含めたトータル1読み出しサイクルは120nsである。

【0080】また、図13Dに示すシーケンシャル読み出しタイミングは3ウエイトの発生をホストシーケンサ1にもたらし、その結果、ホストシーケンサ1は、図1

3Aに示すクロックに対して読み出しバス信号の4クロック後でデータを読み出す処理動作を実行する。この3ウエイトはシーケンシャルアクセスに必要な中程度に遅くしたレートであり、ATA/ATAPI-4での最も高いサイクルレートよりは低い。実行サイクルレートは、読み出し信号アサート（ローアクティブ）期間は120nsであり、ネゲートを含めたトータル1読み出しサイクルは150nsとしている。

【0081】さらに、図13Eに示すシーケンシャル書き込みレートは、シーケンシャル読み出しレートよりも遅く、これに適合させるためにさらに図13Aに示すクロックに対して1クロックの遅延ディレイを付加させる。つまり、シーケンシャル書き込みタイミングは4ウエイトの発生をホストシーケンサ1にもたらし、その結果、ホストシーケンサ1は、書き込みバス信号の5クロック後でデータを書き込み処理動作を実行する。この4ウエイトはシーケンシャル書き込みアクセスに必要な程度に遅くしたレートであり、ATA/ATAPI-4での最も高いサイクルレートよりは低い。この場合、実行サイクルレートは、書き込み信号アサート（ローアクティブ）期間は、150nsであり、ネゲートを含めたトータル1読み出しサイクルは180nsとしている。

【0082】そして一審遅い必要のある図13Fに示すレジスタ設定タイミングとして、バケットインターフェースを採用している場合にコマンドバケットデータをデータレジスタ41に書き込む場合があり、本実施の形態の場合は、この書き込みタイミングとしては、図13Aに示すクロックに対して9クロックのウエイト（8ウエイト）をシーケンサにもたらし、その結果、ホストシーケンサ1は、読み出しバス信号の10クロック後でデータを読み出す処理動作を実行する。この8ウエイトはレジスタ設定アクセスレートであり、ATA/ATAPI-4標準では最も低いサイクルレートとなる。実行サイクルレートは、書き込み信号アサート（ローアクティブ）期間は270nsであり、ネゲートを含めたトータル1読み出しサイクルは300nsである。

【0083】図14は、本実施の形態のホストシーケンサがRISC-CPUなどのパイプライン処理CPUでバス幅がディスクドライブのデータ幅よりも2n倍広いせいで競合の発生する場合のタイミングチャートである。なお、図14は、例えば、ディスクドライブの16ビットのデータ幅に対し、CPU内部のデータレジスタが2倍の32ビットのデータ幅である場合に適用される。

【0084】ここで特に、ホストシーケンサ1内部のCPUとしてRISC-CPUなどのパイプライン処理を使用しているCPUの場合、CPU内部の汎用レジスタ長さがディスクドライブのインターフェースの1回の書き込みで取り扱うデータ単位の2n倍のレジスタ幅である場合であって、この場合のATA/ATAPI-4準

扱のディスクデバイスの場合は、16ビットワード単位であって、ホストシーケンサ1のCPUのレジスタ幅が32ビットあるいは54ビット幅の場合、命令長はRISC-CPUでは各命令で同一コード長であって、一度のアクセスで2m個の命令を取得して2m回利用する構造になっている。

【0085】例えば、5段バイライン処理の場合、インストラクションフェッチ、インストラクションデコード、実行、メモリアクセス、実行結果のレジスタへの書き戻しの5ステップがある。

【0086】ここで、このメモリアクセスはCPUにとってのデータアクセス読み書き動作であって、そしてインストラクションフェッチとデータアクセス読み出し書き込みは同じバスを使用するために統合する。このため自動的に図14Bの前半に示すようにスプリット引き延ばしをする。つまり、最初(奇数回)のアクセスはCPU内部のバイライン処理回路でのデータバスのアクセス統合で自動的に図14Bの前半に示すようにスプリット引き延ばしをする。特にATA/ATAPI-4準拠のインターフェースを採用するディスクデバイス4へのアクセスには16ビットバスを使用するので、スプリット引き延ばしは図14Aに示すクロックに対して2クロック発生してしまう。

【0087】しかし、ここで、2m個の命令を1度のアクセスで取得しているの、2回目以降2m個までの命令実行ではインストラクションフェッチのアクセスは発生しないので、メモリアクセスと統合しない。このため、ディスクデバイス4にとっては、アクセスサイクルが短縮される。つまり、次の(偶数回)のアクセスはCPU内部のバイライン処理回路でのデータバスのアクセス統合が発生しないので、図14Bの後半に示すようにスプリット引き延ばしは発生しない。そして、スプリットなしで前半に比べて短くなる制御信号タイミングの方を基準タイミングとしてウェイト数を設定する。

【0088】ここで、2m個の命令を取得できる場合の個数2mとは、例えば、16ビット長のインストラクション命令コードを使用しているCPUでは、32ビットバス幅を持っているCPUでは一度のアクセスで2個、64ビットバス幅を持っているCPUでは一度のアクセスで4個取得できる。

【0089】そして2m回周期サイクル毎に先頭の読み出し書き込みアクセスでは、今回のメモリアクセスの発生と次のインストラクションフェッチとの統合の発生のために、1実行処理ステップ分のスプリット実行引き延ばし遅延が発生する。そのサイクルの2回目以降は取り込んだ命令を順次利用するだけなのでバスの統合が発生しない。これによって、読み出し書き込みの際のバス信号のアサート(ローアクティブ)期間は2クロック短縮される。これは読み出し書き込み制御信号の発生サイクルが不揃いになってしまうことを意味する。これはディ

スクデバイス4にとつては短い方のサイクルを最短サイクルとして、それ以上でアクセスされるべきであるから、実際はm回に1回、最初のアクセスでは2クロック長くかかってしまう冗長時間が発生していることになる。

【0090】ここで、特に、アクセス順番で異なるアドレスデコードを利用して、アクセス信号のサイクル周期を結果的に均一に合わせるためにアクセスサイクルの冗長時間を削減する。

【0091】ランダムアクセスにおいては、mサイクル周期毎の最初のアクセスにおいて、アドレスデコード#0を使用して最初の読み出し書き込みをし、次からそのmサイクルの最終回まではアドレスデコード#1を使用して、ウェイト発生器3で冗長時間分、この場合は2クロック長くウェイトを発生させて、結果的に読み出し書き込みの制御信号アサート(ローアクティブ)期間を各回均一に揃える。これによって、必要最小限のアサート(ローアクティブ)期間に制御信号発生期間を揃える。

【0092】シーケンシャルアクセスにおいては、mサイクル周期毎の最初のアクセスにおいて、アドレスデコード#2を使用して最初の読み出し書き込みをし、次からそのmサイクルの最終回まではアドレスデコード#3を使用して、ウェイト発生器3で冗長時間分、この場合は2クロック長くウェイトを発生させて、結果的に読み出し書き込みの制御信号アサート(ローアクティブ)期間を各回均一に揃えることとする。これによって、シーケンシャルアクセスに必要な最小限のアサート(ローアクティブ)期間に制御信号発生期間を揃えて、冗長時間を削減する。

【0093】

【発明の効果】本発明によれば、1つのデバイスに対して複数のアドレスの中から適する速度でアクセスするアドレスを選択すれば、低速から高速までの各種リムーバブルストレージデバイスに対して適したレートでアクセスできるという効果を奏する。

【0094】また、本発明によれば、機能設定などのアクセスレート周期を設定調節する処理作業オーバーヘッドが減少し、制御ソフトウェアを使用するホストからのアドレス選択だけでアクセス速度を変更できるので、転送開始中に切換え選択できるため、デバイスへのアクセス速度周期を切換え調節する設定回路が不要になるという効果を奏する。

【0095】また、本発明によれば、RISC-CPUなどのバイライン処理シーケンサ制御部を使用する際に、アクセスの順番で指定するアドレスを別にするによって、発生するウェイト信号を別として、結果的に均一な読み書きのアクセス信号を生成させて、ディスクドライブデバイスに冗長時間の削減された最適なアクセス制御信号を得ることができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の実施の形態のディスクドライブインターフェース装置の構成を示すブロック図である。

【図2】本発明の実施の形態のアドレスマップを示す図である。

【図3】本発明の実施の形態のウェイト発生器の信号論理合成回路部の構成を示すブロック図である。

【図4】本発明の実施の形態の第 k 番目のウェイト数セクタ回路の構成を示すブロック図である。

【図5】本発明の実施の形態のディスクドライブ内部の構成を示すブロック図である。

【図6】本発明の実施の形態のランダムアクセスクラスを示す図である。

【図7】本発明の実施の形態のコマンド発行ステップを示す図である。

【図8】本発明の実施の形態のディスクからキャッシュへのデータ転送ステップを示す図である。

【図9】本発明の実施の形態のキャッシュからホストへのデータ転送ステップを示す図である。

【図10】本発明の実施の形態のシーケンシャルアクセスクラスを示す図である。

【図11】本発明の実施の形態のコマンド発行ステップを示す図である。

【図12】本発明の実施の形態のディスクからキャッシュおよびキャッシュからホストへの並列データ転送ステップを示す図である。

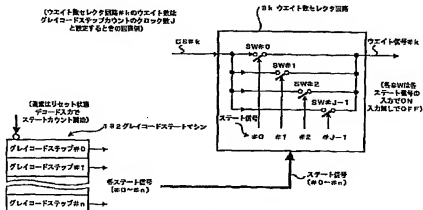
【図13】本発明の実施の形態のタイミングチャートを示す図であり、図13Aはクロック、図13Bはランダムアクセス読み出しタイミング、図13Cはランダムアクセス書き込みタイミング、図13Dはシーケンシャルアクセス読み出しタイミング、図13Eはシーケンシャルアクセス書き込みタイミング、図13Fはレジスタ設定タイミングである。

【図14】本発明の実施の形態のホストのシーケンサがパイプライン処理CPUの場合のタイミングチャートを示す図であり、図14Aはクロック、図14Bはシーケンシャルアクセス読み出しタイミングである。

【符号の説明】

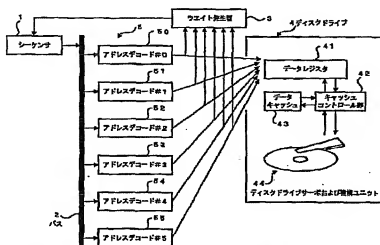
1……シーケンサ、2……バス、3……ウェイト発生器、4……ディスクドライブ、5……アドレスデコード、10……CPU、11……システムクロック制御回路、30～3k……ウェイト数セクタ#0～#k、41……データレジスタ、42……キャッシュコントローラ部、43……データキャッシュバッファメモリ、44……ディスクドライブサーボおよび機構ユニット、46……ドライブ内蔵CPU、50～5k……アドレスデコード#0～#k、60……セクタの読み出し書き込み、61……セクタのマルチプル読み出し書き込み、62……キュー付き読み出し書き込み、100……シーケンシャル読み出し書き込みの開始セクタ、101……セクタのシーケンシャル読み出し書き込み継続中、102……シーケンシャル読み出し書き込みの終了端、131……CS信号合成回路、132……グレイコードステータマシン、133……ウェイト信号合成回路、134……同期出力遅延素子、411……ホストインターフェース部、412……ディスクコントロールステータスレジスタ群、413……インターフェース制御論理回路、420……コントローラ、421……バス、423……読み出しメモリブロック選択回路、424……メモリ読み出し回路、425……SW1、426……書き込みメモリブロック選択回路、427……メモリ書き込み回路、428……SW2、429……メモリステータマネジメント回路、440……記録再生アンプ回路、451……エラー訂正回路、452……チャネルコーディング回路

【図4】



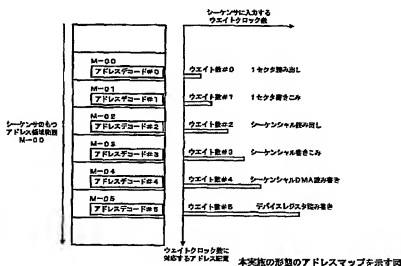
本実施の形態の第 k 番目のウェイト数セクタ回路の構成を示すブロック図

【図1】



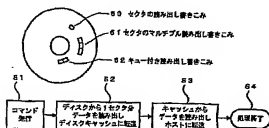
本実施の形態のディスクドライブインターフェース装置の構成を示すブロック図

【図2】



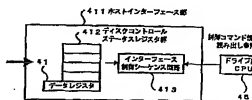
本実施の形態のアドレスマップを示す図

【図6】



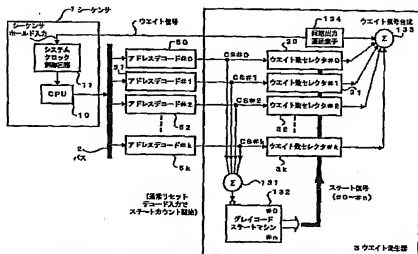
本実施の形態のランダムアクセスクラスを示す図

【図7】



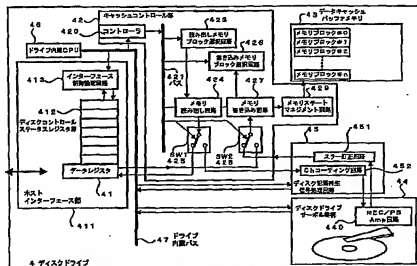
本実施の形態のコマンド実行ステップを示す図

【図3】



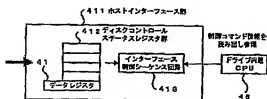
本実施の形態のウェイト信号発生部の信号線整合回路部の構成を示すブロック図

【図5】



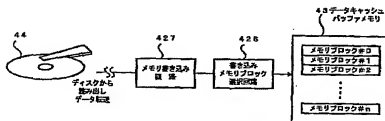
本実施の形態のディスクドライブ内部の各ブロック構成図

【図11】



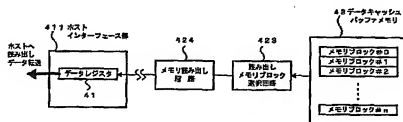
本実施の形態のコマンド実行ステップを示す図

【図8】



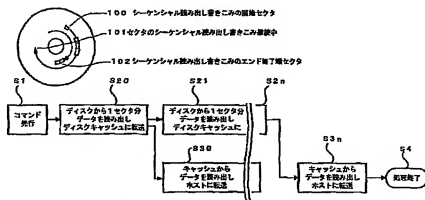
本実施の形態のディスクからキャッシュへのデータ転送ステップを示す図

【図9】



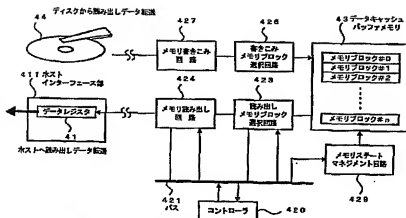
本実施の形態のキャッシュからホストへのデータ転送ステップを示す図

【図10】



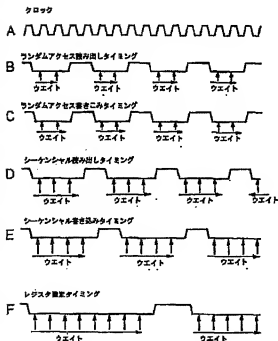
本実施の形態のシーケンシャルアクセスクラスを示す図

【图 1 2】



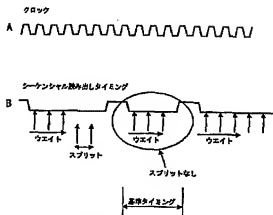
本実施の形態のディスクからキャッシュへおよびキャッシュからホストへの並列データ転送ステップを示す図

【圖 13】



本実施の形態のタイミングチャート

【图 1-4】



本実施の形態のホストのシーケンサがバイブライン処理CPUの場合のタイミングチャート

フロントページの続き

(72)発明者 藤井 信子

東京都品川区北品川6丁目7番35号 ソニ
株式会社内

Fターム(参考) 5B065 BA01 CA16 CE04 CE11 CH01

5D044 BC01 CC04 DE38 FG10 GK10
HL01 HL11